

DATA PROCESSOR

Publication number: JP6171526 (A)

Publication date: 1996-07-02

Inventor(s): NAKAYAMA OSAMU; ISHIGAMI MASAYUKI +

Applicant(s): RICOH KK +

Classification:

- International: G06F13/28; G06F13/20; (IPC1-7): G06F13/28

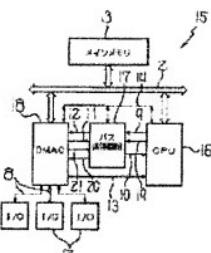
- European:

Application number: JP19940314377 19941219

Priority number(s): JP19940314377 19941219

Abstract of JP 8171528 (A)

PURPOSE: To interrupt DMA transfer in process and improve the operation efficiency by sending the interruption command signal of a bus arbitration circuit to a DMAC through a dedicated command signal line. CONSTITUTION: A CPU 16 is provided with an interruption requesting means, which sends an interruption request signal requesting the interruption of DMA transfer to the bus arbitration circuit 17 and an emergency control means, which sends the interruption command signal to the DMAC 18 through the command signal line 20. The DMAC 18 is provided with a DMA interrupt requesting means, which, once receiving the interruption command signal, interrupts the DMA transfer. The bus arbitration circuit 17 is provided with an emergency control means, which makes the CPU 16 occupy a system bus 2 after the DMAC 18 interrupts the DMA transfer. Consequently, the data processing of the CPU 16 and the DMA transfer of the DMAC 18 are performed in parallel at a higher rate and the operation efficiency of the data processor 15 is improved.



Data supplied from the espacenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-171528

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.^{*}
G 0 6 F 13/28

識別記号 廣内整理番号
3 1 0 E 9172-5E

F 1

技術表示箇所

審査請求 未請求 請求項の数7 O.L (全7頁)

(21)出願番号

特願平6-314377

(22)出願日

平成6年(1994)12月19日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 中山 道

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(72)発明者 石上 正之

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

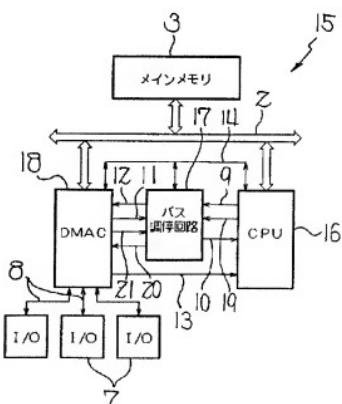
(74)代理人 弁理士 柏木 明 (外1名)

(54)【発明の名称】 データ処理装置

(57)【要約】

【目的】 プロセッサの要求により、実行中のDMA転送を中断できるようにする。

【構成】 プロセッサ16が中断要求信号を緊急信号ライン19によりバス調停回路17に送信すると、このバス調停回路17は中断指令信号を指令信号ライン20によりDMA C18に送信するので、このDMA C18はDMA転送を中断する。



【特許請求の範囲】

【請求項1】 バスにメモリとプロセッサとバス調停回路とDMA C(Direct Memory Access Controller)とを接続し、前記バス調停回路が前記バスを前記プロセッサや前記DMA Cなどに選択的に占有させることにより、前記プロセッサが前記バスを占有して前記メモリにアクセスすることや、前記DMA Cが前記バスを占有して前記プロセッサを介することなく前記メモリと外部とのDMA転送を実行することを行なうデータ処理装置において、DMA転送の中断を要求する中断要求信号を専用の緊急信号ラインにより前記バス調停回路に送信する中断要求手段を前記プロセッサに設け、中断要求信号は受信すると中断指令信号を専用の指令信号ラインにより前記DMA Cに送信する中断指令手段を前記バス調停回路に設け、中断指令信号を受信するとDMA転送を中断するDMA中止手段を前記DMA Cに設け、このDMA CがDMA転送を中断すると前記プロセッサに前記バスを占有させる緊急制御手段を前記バス調停回路に設けたことを特徴とするデータ処理装置。

【請求項2】 実行中のDMA転送の中断が可能か不可能かを判断して中断ステータスを出力する中断判断手段をDMA Cに設け、このDMA Cは中断指令信号を受信しても中断ステータスが不可能であるとDMA転送を継続することを特徴とする請求項1記載のデータ処理装置。

【請求項3】 中断判断手段がDMA転送の実行中に中断が可能か不可能かを逐次判断して中断ステータスを順次更新することを特徴とする請求項2記載のデータ処理装置。

【請求項4】 実行中のDMA転送の中断が可能か不可能かを判断して中断ステータスを出力する中断判断手段をDMA Cに設け、中断ステータスを専用のステータスラインによりバス調停回路に送信するステータス送信手段を前記DMA Cに設け、前記バス調停回路は中断要求信号を受信しても中断ステータスが不可能であると中断指令手段による中断指令信号の送信を中止することを特徴とする請求項1記載のデータ処理装置。

【請求項5】 複数レベルの中断要求信号を複数の緊急信号ラインによりバス調停回路に個々に送信する中断要求手段をプロセッサに設け、実行中のDMA転送の中断が可能か不可能かを複数レベルに判断して複数レベルの中断ステータスを出力する中断判断手段をDMA Cに設け、複数レベルの中断ステータスを複数のステータスラインにより前記バス調停回路に個々に送信するステータス送信手段を前記DMA Cに設け、前記バス調停回路は中断要求信号が中断ステータスより高レベルならば中断指令手段による中断指令信号の送信を実行することを特徴とする請求項4記載のデータ処理装置。

【請求項6】 実行中のDMA転送の中断が可能か不可能かを判断して中断ステータスを出力する中断判断手段

をDMA Cに設け、中断ステータスを専用のステータスラインによりプロセッサに送信するステータス送信手段を前記DMA Cに設け、前記プロセッサは中断ステータスが不可能ならば中断要求手段による中断要求信号の送信を中止することを特徴とする請求項1記載のデータ処理装置。

【請求項7】 実行中のDMA転送の中断が可能か不可能かを複数レベルに判断して複数レベルの中断ステータスを出力する中断判断手段をDMA Cに設け、複数レベルの中断ステータスを複数のステータスラインによりプロセッサに個々に送信するステータス送信手段を前記DMA Cに設け、前記プロセッサは自身の中断要求が中断ステータスより高レベルならば中断要求手段による中断要求信号の送信を実行することを特徴とする請求項6記載のデータ処理装置。

【発明の詳細な説明】

【00001】

【産業上の利用分野】 本発明は、DMA転送を実行するデータ処理装置に関する。

【00002】

【從來の技術】 現在、バスに複数のデバイスを接続したデータ処理装置において、DMA転送によりデータ転送を高速化すると共にプロセッサの負担を軽減することがなわれている。

【00003】 このようなデータ処理装置の一從来例を図2に基づいて以下に説明する。まず、このデータ処理装置1は、バスとしてシステムバス2を有している。このシステムバス2には、メモリであるRAM(Random Access Memory)等のメインメモリ3、プロセッサであるCPU(Central Processing Unit)4、バス調停回路5、DMA C6が接続されており、このDMA C6には、複数のI/O(Input/Output)7が各々専用の信号ライン8により接続されている。

【00004】 前記システムバス2は、データライトとコントロールラインとを有しており、データラインにより各種データを転送し、コントロールラインにより、アドレスやリードやライトなどの各種のコントロール信号を転送する。

【00005】 前記DMA C6は、DMA転送を実行するコントローラであり、メモリアドレジスタ、転送バイトカウンタ、コントロールレジスタ(何れも図示せず)等、DMA転送の実行に必要な各種機構を有している。前記CPU4は、各種のデータ処理を実行するプロセッサであり、各種の命令やデータを保持するキャッシュメモリ(図示せず)を有している。

【00006】 また、前記CPU4と前記バス調停回路5とには、要求信号ライン9と応答信号ライン10とが接続されており、前記バス調停回路5と前記DMA C6とともに、要求信号ライン11と応答信号ライン12とが接続されている。前記CPU4と前記DMA C6とには、

割込信号ライン13が接続されており、前記CPU4と前記バス調停回路5と前記DMAC6とは、コントロール信号ライン14が接続されている。

【0007】前記信号ライン8は、DMA転送の実行を要求する要求信号や、これに対する応答信号など、DMA転送の実行に必要な各種の信号を転送する。前記要求信号ライン9、11は、DMA転送の実行を要求する要求信号を転送し、前記応答信号ライン10、12は、各種の応答信号を転送する。前記割込信号ライン13は、DMA転送の終了を示す割込信号を転送し、前記コントロール信号ライン14は、前記システムバス2の占有状態を示すバスページ信号を転送する。

【0008】このような構成において、I/O7からDMAC6にDMA転送が要求されると、DMAC6はバス調停回路5にDMA転送の要求信号を出力する。すると、このバス調停回路5は、システムバス2をCPU4から切り離してDMAC6に占有させるので、この状態でDMAC6はメインメモリ3とI/O7で各種データのDMA転送を実行する。

【0009】CPU4は、上述のようなDMA転送の実行中はシステムバス2を使用できないが、DMA転送の開始以前に内部のキャッシュメモリに命令やデータを保持している場合は、この命令やデータによりデータ処理を内部で実行することはできる。

【0010】つまり、CPU4が閲覧することなくメインメモリ3とI/O7でデータ転送が高速に実行され、これと並列してCPU4によるデータ処理が実行されるので、CPU4の負担を増加させることなくデータ処理とデータ転送が高速に実行される。

【0011】

【発明が解決しようとする課題】上述したデータ処理装置1は、DMA転送によりデータ転送とデータ処理とを高速化することができます。

【0012】しかし、上述のようにDMA転送と並列にCPU4が内部でデータ処理を実行する場合、このデータ処理にメインメモリ3の記憶データが必要となつても、CPU4はDMA転送が終了するまでシステムバス2からメインメモリ3にアクセスすることができないのでデータ処理が遅延する。

【0013】このような課題の解決を目的としたデータ処理装置が、特開平6-17596号公報に開示されている。このデータ処理装置は、各々CPUやメモリやDMACを有する複数のモジュールが共通バスに接続されており、これらのモジュールが共通バスを通じてDMA転送を実行する。この時、DMA転送を実行しているモジュールのCPUがDMACに中断要求信号を転送すると、実行中のDMA転送が中断される。

【0014】しかし、上記公報に開示されたデータ処理装置では、モジュールは他のモジュール間のDMA転送を中断することはできない。

【0015】また、このようなデータ処理装置をプリンタ装置に利用し、メインメモリに一時記憶した画像データを印刷機構にDMA転送するような場合、このDMA転送を中断すると印刷機構の印刷動作も中断される。しかし、印刷機構の連続的な印刷動作を中断させると画像ズレなどが発生するので、このような場合にはDMA転送を中断しないことが望ましい。

【0016】しかし、このようなことに対処する用意も、上記公報のデータ処理装置ではない。

【0017】

【課題を解決するための手段】請求項1記載の発明は、バスにメモリとプロセッサとバス調停回路とDMACとを接続し、前記バス調停回路が前記バスを前記プロセッサや前記DMACなどに選択的に占有させることにより、前記プロセッサが前記バスを占有して前記メモリにアクセスすることや、前記DMACが前記バスを占有して前記プロセッサを介すことなく前記メモリと外部とでDMA転送を実行することを行なうデータ処理装置において、DMA転送の中止を要求する中断要求信号を専用の緊急信号ラインにより前記バス調停回路に送信する中断要求手段を前記プロセッサに設け、中断要求信号を受信すると中断指令信号を専用の指令信号ラインにより前記DMACに送信する中断指令手段を前記バス調停回路に設け、中断指令信号を受信するとDMA転送を中断するDMA中断手段を前記DMACに設け、このDMACがDMA転送を中断すると前記プロセッサが前記バスを占有させる緊急制御手段を前記バス調停回路に設けた。

【0018】請求項2記載の発明は、請求項1記載の発明において、実行中のDMA転送の中止が可能か不可能かを判断して中断ステータスを出力する中断判断手段をDMACに設け、このDMACは中断指令信号を受信しても中断ステータスが不可能であるとDMA転送を継続する。

【0019】請求項3記載の発明は、請求項2記載の発明において、中断判断手段がDMA転送の実行中に中断が可能か不可能かを逐次判断して中断ステータスを順次更新する。

【0020】請求項4記載の発明は、請求項1記載の発明において、実行中のDMA転送の中止が可能か不可能かを判断して中断ステータスを出力する中断判断手段をDMACに設け、中断ステータスを専用のステータスラインによりバス調停回路に送信するステータス送信手段を前記DMACに設け、前記バス調停回路は中断要求信号を受信しても中断ステータスが不可能であると中断指令手段による中断指令信号の送信を中止する。

【0021】請求項5記載の発明は、請求項4記載の発明において、複数レベルの中断要求信号を複数の緊急信号ラインによりバス調停回路に個々に送信する中断要求手段をプロセッサに設け、実行中のDMA転送の中止が

可能か不可能かを複数レベルに判断して複数レベルの中断ステータスを出力する中断判断手段をDMA Cに設け、複数レベルの中断ステータスを複数のステータスラインにより前記バス調停回路に個々に送信するステータス送信手段を前記DMA Cに設け、前記バス調停回路は中断要求信号が中断ステータスより高レベルならば中断指令手段による中断指令信号の送信を実行する。

【0022】請求項6記載の発明は、請求項1記載の発明において、実行中のDMA転送の中断が可能か不可能かを判断して中断ステータスを出力する中断判断手段をDMA Cに設け、中断ステータスを専用のステータスラインによりプロセッサに送信するステータス送信手段を前記DMA Cに設け、前記プロセッサは中断ステータスが不可能ならば中断要求手段による中断要求信号の送信を中止する。

【0023】請求項7記載の発明は、請求項6記載の発明において、実行中のDMA転送の中断が可能か不可能かを複数レベルに判断して複数レベルの中断ステータスを出力する中断判断手段をDMA Cに設け、複数レベルの中断ステータスを複数のステータスラインによりプロセッサに個々に送信するステータス送信手段を前記DMA Cに設け、前記プロセッサは自身の中断要求が中断ステータスより高レベルならば中断要求手段による中断要求信号の送信を実行する。

【0024】なお、本発明で云うプロセッサとは、各種のデータ処理を実行する処理回路であり、いわゆるCPUやMPU(Microprocessor Unit)などの回路部品に相当する。

【0025】

【作用】請求項1記載の発明では、プロセッサの中断要求手段がDMA転送の中断を要求する中断要求信号を専用の緊急信号ラインによりバス調停回路に送信すると、このバス調停回路の中断指令手段が中断指令信号を専用の指令信号ラインによりDMA Cに送信する。このDMA Cが、DMA中断手段によりDMA転送を中止すると、バス調停回路の緊急制御手段がプロセッサにバスを占有させるので、プロセッサはバスを占有してメモリなどにアクセスできる。

【0026】請求項2記載の発明では、DMA Cにおいて、実行中のDMA転送の中断が可能か不可能かを中断判断手段が判断して中断ステータスを出力すると、この中断ステータスが不可能の場合は中断指令信号を受信してもDMA転送を継続するので、中断不可能なDMA転送が強制的に中止されることがない。

【0027】請求項3記載の発明では、DMA CがDMA転送の実行中、その中断が可能か不可能かを中断判断手段が逐次判断して中断ステータスを順次更新するので、DMA転送の中断が適切なタイミングで実行される。

【0028】請求項4記載の発明では、DMA Cにおい

て、実行中のDMA転送の中断が可能か不可能かを中断判断手段が判断して中断ステータスを出力し、この中断ステータスをステータス送信手段が専用のステータスラインによりバス調停回路に送信する。このバス調停回路は、中断要求信号を受信しても中断ステータスが不可能であると中断指令手段による中断指令信号の送信を中止するので、中断指令信号がDMA転送の中断に適切なタイミングで送信される。

【0029】請求項5記載の発明では、プロセッサにおいて、中断要求手段が複数レベルの中断要求信号を複数の緊急信号ラインによりバス調停回路に個々に送信し、DMA Cにおいて、中断判断手段が出した複数レベルの中断ステータスを、ステータス送信手段が複数のステータスラインによりバス調停回路に個々に送信する。バス調停回路は中断ステータスより高レベルならば中断指令手段による中断指令信号の送信を実行するので、中断指令信号の送信が、DMA転送の中断と継続との要求のバランスに対応して実行される。

【0030】請求項6記載の発明では、DMA Cにおいて、実行中のDMA転送の中断が可能か不可能かを中断判断手段が判断して中断ステータスを出力し、この中断ステータスをステータス送信手段が専用のステータスラインによりプロセッサに送信する。このプロセッサは、中断ステータスが不可能ならば中断要求手段による中断要求信号の送信を中止するので、中断要求信号がDMA転送の中断に適切なタイミングで送信される。

【0031】請求項7記載の発明では、DMA Cにおいて、中断判断手段が出した複数レベルの中断ステータスを、ステータス送信手段が複数のステータスラインによりプロセッサに個々に送信する。このプロセッサは、中断ステータスが不可能でも自身の中断要求が中断ステータスより高レベルならば中断要求手段による中断要求信号の送信を実行するので、中断要求信号の送信が、DMA転送の中断と継続との要求のバランスに対応して実行される。

【0032】

【実施例】本発明の一実施例を図1に基づいて以下に説明する。なお、本実施例で示すデータ処理装置15に関し、一従来例として前述したデータ処理装置1と同一の部分は、同一の名称及び符号を利用して詳しく述べ省略する。

【0033】まず、本実施例のデータ処理装置15も、システムバス2に、メインメモリ3、プロセッサであるCPU16、バス調停回路17、DMA C18が接続されており、このDMA C18に、複数の1/07が信号ライン8により接続されている。

【0034】そして、前記CPU16と前記バス調停回路17とは、要求信号ライン9と応答信号ライン10との他、緊急信号ライン19が接続されており、前記バ

ス調停回路17と前記DMA C18とは、要求信号ライン11と応答信号ライン12との他、指令信号ライン20が接続されている。

【0035】前記CPU16には、中断要求手段が設けられており、この中断要求手段は、DMA転送の中断を要求する中断要求信号を前記緊急信号ライン19によりバス調停回路17に送信する。このバス調停回路17には、中断指令手段が設けられており、この中断指令手段は、中断要求信号を受信すると中断指令信号を前記指令信号ライン20によりDMA C18に送信する。このDMA C18には、DMA中断手段が設けられており、このDMA中断手段は、中断指令信号を受信するとDMA転送を中断する。前記バス調停回路17には、緊急制御手段が設けられており、この緊急制御手段は、前記DMA C18がDMA転送を中断すると前記CPU16に前記システムバス2を占有させること。

【0036】また、本実施例のデータ処理装置15では、前記DMA C18に中断判断手段も設けられており、この中断判断手段は、実行中のDMA転送の中断が可能か不可能かを判断して中断ステータスを出力する。そして、前記DMA C18は、上述のように前記バス調停回路17から中断指令信号を受信しても、前記中断判断手段が処理する中断ステータスが不可能の場合は、DMA転送を前記DMA C18中断手段により中断することなく継続する。なお、前記中断判断手段は、DMA転送の中断が可能か不可能かを逐次判断して中断ステータスを順次更新するので、中断指令信号を受信した前記DMA C18手段によるDMA転送の中断は、中断ステータスが可能なとなった時点で実行される。

【0037】このような構成において、本実施例のデータ処理装置15は、一從来例のデータ処理装置1と同様に、バス調停回路17の制御によりDMA C18がシステムバス2を占有した状態でメインメモリ3とI/O7とともにDMA転送を実行することができ、この状態でもCPU16は、内蔵のキャッシュメモリを利用してデータ処理を内部で実行することができます。

【0038】そして、上述のような状態において、DMA転送の実行中にCPU16のデータ処理にメインメモリ3の記憶データが必要となった場合、CPU16は、コントロール信号ライン14からバスビジー信号を検出してDMA転送が実行中であることを認識すると、通常は非アクティブにネガートされている緊急信号ライン19の中断要求信号をアサートしてアクティブにすることにより、DMA転送の中断を要求する中断要求信号をバス調停回路17に送信する。この中断要求信号を受信したバス調停回路17は、通常は非アクティブにネガートされている指令信号ライン20の中断指令信号をアサートしてアクティブにすることにより、DMA転送の中断を指示する中断指令信号をDMA C18に送信するので、この中断指令信号を受信したDMA C18は実行中

のDMA転送を中断する。

【0039】より詳細には、DMA転送を実行しているDMA C18では、実行中のDMA転送の中断が可能か不可能かが逐次判断されて中断ステータスが順次更新されているので、中断指令信号を受信した時点で中断ステータスが可能か不可能かが判断される。この判断結果として、中断ステータスが可能の場合は直ちにDMA転送が中断されるが、中断ステータスが不可能の場合は、この時点ではDMA転送は中断されることなく継続され、中断ステータスが可能となった時点で中断される。

【0040】このようにDMA転送を中断したDMA C18は、コントロール信号ライン14のバスビジー信号を非アクティブにネガートするので、これを検知したバス調停回路17が応答信号ライン10の応答信号をアサートしてアクティブにすることによりCPU16に応答信号を出力する。この応答信号によりCPU16はシステムバス2を使用できる状態となるので、このCPU16は、コントロール信号ライン14のバスビジー信号をアサートしてアクティブにし、システムバス2からメインメモリ3にアクセスしてデータ処理を実行する。

【0041】この時、DMA C18は、中断されたDMA転送を再開するために要求信号ライン11の要求信号をアサートしてアクティブにすることにより、要求信号をバス調停回路17に出力しているので、CPU16がデータ処理を完了してコントロール信号ライン14のバスビジー信号を非アクティブにネガートすると、これを検知したバス調停回路17は応答信号ライン12の応答信号をアサートしてアクティブにすることにより、応答信号をDMA C18に出力する。この応答信号を検知したDMA C18は、コントロール信号ライン14のバスビジー信号をアサートしてアクティブにし、システムバス2を占有してDMA転送を再開する。

【0042】上述のように、本実施例のデータ処理装置15は、CPU16がDMA転送の最中でもシステムバス2を一時的に使用できるので、CPU16のデータ処理が遅延することを防止できる。このため、CPU16のデータ処理とDMA C18のDMA転送とが並行処理される割合が向上し、データ処理装置15の作業性能が改善される。また、データ処理装置15がリアルタイムにデータ処理を実行する場合、デッドラインを満たすようにCPU16をスケジューリングできる確率も向上するので、データ処理装置15のリアルタイム性を保証しやすい。

【0043】しかも、I/O7の状態などのためにDMA転送の中止が不可能な場合は、中断ステータスが不可能されることによりDMA転送の中止が中止されるので、中断不可能なDMA転送が強制的に中断されるようになることがない。さらに、このようにDMA転送の中断が不可能の中断ステータスにより中止されても、この中断ステータスはDMA転送の状態に従って順次更新される

ので、DMA転送は適正なタイミングで中断される。

【0044】なお、前述した特開平6-175966号公報のデータ処理装置と同様に、本実施例のデータ処理装置1をモジュール化し、複数のモジュールを一つのシステムバス2に接続することも可能である。この場合、一個のモジュールをCPU16とDMAC18により形成し、複数のモジュールが一個のバス調停回路17を共有する構成となる。このようなデータ処理装置では、一個のモジュールがDMA転送を実行している最中でも、他のモジュールのCPU16がバス調停回路17に中断要求信号を送付してDMA転送を中断させることができる。

【0045】また、本実施例のデータ処理装置1では、DMAC18が中断ステータスによりDMA転送の中断の可否を判断して実行することを例示したが、本発明は上記実施例に限定されるものではなく、DMAC18にステータス送信手段を設け、バス調停回路17に中断指令手段を設け、DMAC18とバス調停回路17とにステータスライン21を接続することも可能である。この場合、DMAC18のステータス送信手段は、中断ステータスをステータスライン21により前記バス調停回路17に送信するので、このバス調停回路17は、受信したステータス信号が不可能ならば中断要求信号を受信しても中断指令手段による中断指令信号の送信を中止する。

【0046】さらに、DMA転送の中斷を、CPU16の中斷要求とDMAC18の継続要求とのバランスに従って制御することも可能である。この場合、CPU16の中斷要求手段が複数レベルの中断要求信号を出力するようにし、CPU16とバス調停回路17とに複数の緊急信号ライン19を接続して複数レベルの中斷要求信号を個々に送信させる。同様に、DMAC18の中断判断手段が複数レベルの中斷ステータスを出力するようにし、DMAC18とバス調停回路17とに複数のステータスライン21を接続して複数レベルの中斷ステータスを個々に送信させる。

【0047】そして、バス調停回路17は、CPU16から中斷要求信号を受信するとDMAC18から受信する中斷ステータスが可能か不可能かを判断し、これが可能ならば、中断指令手段による中断指令信号の送信を実行する。また、中斷ステータスが不可能の場合は、中斷要求信号と中斷ステータスとのレベルを比較し、中斷要求信号が中斷ステータスより低レベルならば、中断指令手段による中断指令信号の送信を中止し、中斷要求信号が中斷ステータスより高レベルならば、中断指令手段による中斷指令信号の送信を実行する。

【0048】この場合、DMA転送の中斷がCPU16の中斷要求とDMAC18の継続要求とのバランスに従って制御されるので、重要な処理を優先させることができます。

【0049】なお、可能の中斷ステータスを、中斷要求

信号より常に低レベルとなる最低レベルの不可能の中斷ステータスとして設定すれば、中斷ステータスが可能か不可能かを判断する処理は不用となり、最初から中斷要求信号と中斷ステータスとのレベルを比較すれば良いことになる。

【0050】上述した変形例と同様に、ステータスライン21をCPU16に接続し、このCPU16が、中斷ステータスが不可能ならば中斷要求手段による中斷要求信号の送信を中止することも可能である。さらに、DMAC18の中斷判断手段が複数レベルの中斷ステータスを出力するようにし、DMAC18とCPU16とを接続するステータスライン21を複数とし、このCPU16が、中斷ステータスが不可能でも自身の中斷要求が中斷ステータスより高レベルならば中斷要求手段による中斷要求信号の送信を実行することも可能である。

【0051】

【発明の効果】請求項1記載の発明は、DMA転送の中斷を要求する中斷要求信号を専用の緊急信号ラインによりバス調停回路に送信する中斷要求手段をプロセッサに設け、中斷要求信号を受信すると中斷指令信号を専用の指令信号ラインによりDMACに送信する中斷指令手段をバス調停回路に設け、中斷指令信号を受信するとDMA転送を中断するDMA中斷手段をDMACに設け、このDMACがDMA転送を中断するとプロセッサにバスを占有させる緊急制御手段をバス調停回路に設けたことにより、プロセッサの要求により実行中のDMA転送を中止することができる。また、中斷要求手段による中斷要求信号を送信する手段を複数とすることで、DMA転送の最中にプロセッサがバスを使用してデータ処理を実行することができ、プロセッサによるデータ処理とDMACによるDMA転送の並行処理の割合が向上するので、作業能率を改善することができる。

【0052】請求項2記載の発明は、実行中のDMA転送の中斷が可能か不可能かを判断して中斷ステータスを出力する中斷判断手段をDMACに設け、このDMACは中斷指令信号を受信しても中斷ステータスが不可能であるとDMA転送を継続することにより、DMA転送が中斷不可能なタイミングで強制的に中止されることを防止できる。

【0053】請求項3記載の発明は、中斷判断手段がDMA転送の実行中に中斷が可能か不可能かを逐次判断して中斷ステータスを順次更新することにより、DMA転送が中斷不可能として中止されなくなるとともに、このDMA転送が中斷可能となった時点で中止されるので、DMA転送を最適なタイミングで中止することができる。

【0054】請求項4記載の発明は、実行中のDMA転送の中斷が可能か不可能かを判断して中斷ステータスを出力する中斷判断手段をDMACに設け、中斷ステータスを専用のステータスラインによりバス調停回路に送信するステータス送信手段をDMACに設け、バス調停回路は中斷要求信号を受信しても中斷ステータスが不可能

であると中断指令手段による中断指令信号の送信を中止することにより、DMA転送が中断不可能なタイミングで強制的に中断されることを防止できる。

【0055】請求項5記載の発明は、複数レベルの中断要求信号を複数の緊急信号ラインによりバス調停回路に個々に送信する中断要求手段をプロセッサに設け、実行中のDMA転送が可能か不可能かを複数レベルで判断して複数レベルの中断ステータスを出力する中断判断手段をDMA Cに設け、複数レベルの中断ステータスを複数のステータスラインによりバス調停回路に個々に送信するステータス送信手段をDMA Cに設け、バス調停回路は中断要求信号が中断ステータスより高レベルならば中断指令手段による中断指令信号の送信を実行することにより、プロセッサによるDMA転送の中止が可能となる。

【0056】請求項6記載の発明は、実行中のDMA転送の中止が可能か不可能かを判断して中断ステータスを出力する中断判断手段をDMA Cに設け、中断ステータスを専用のステータスラインによりプロセッサに送信するステータス送信手段をDMA Cに設け、プロセッサは中断ステータスが不可能ならば中断要求手段による中断要求信号の送信を中止することにより、DMA転送が中断不可能なタイミングで強制的に中断されることを防止できる。

【0057】請求項7記載の発明は、実行中のDMA転*

* 送の中止が可能か不可能かを複数レベルで判断して複数レベルの中断ステータスを出力する中断判断手段をDMA Cに設け、複数レベルの中断ステータスを複数のステータスラインによりプロセッサに個々に送信するステータス送信手段をDMA Cに設け、プロセッサは自身の中断要求が中断ステータスより高レベルならば中断要求手段による中断要求信号の送信を実行することにより、プロセッサによるDMA転送の中止が抑制されるので、DMA CによるDMA転送の中止が抑制されるので、重要な処理を優先させることができる。

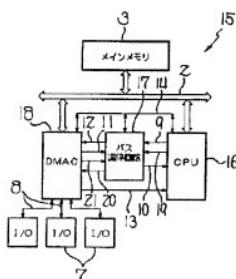
【図面の簡単な説明】
【図1】本発明のデータ処理装置の一実施例を示すブロック図である。

【図2】データ処理装置の一従来例を示すブロック図である。

【符号の説明】

2	バス
3	メモリ
15	データ処理装置
16	プロセッサ
17	バス調停回路
18	DMA C
19	緊急信号ライン
20	指令信号ライン
21	ステータス信号ライン

【図1】



【図2】

